



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11297086 A**(43) Date of publication of application: **29.10.99**

(51) Int. Cl.

G11C 16/02
G11C 16/06
(21) Application number: **10101139**(22) Date of filing: **13.04.98**(71) Applicant: **HITACHI LTD**
 (72) Inventor: **YADA NAOKI**
MATSUBARA KIYOSHI

(54) **NONVOLATILE SEMICONDUCTOR MEMORY, INTEGRATED CIRCUIT INCLUDING THE SAME AND METHOD OF ADJUSTING WRITE TIME OF MEMORY**

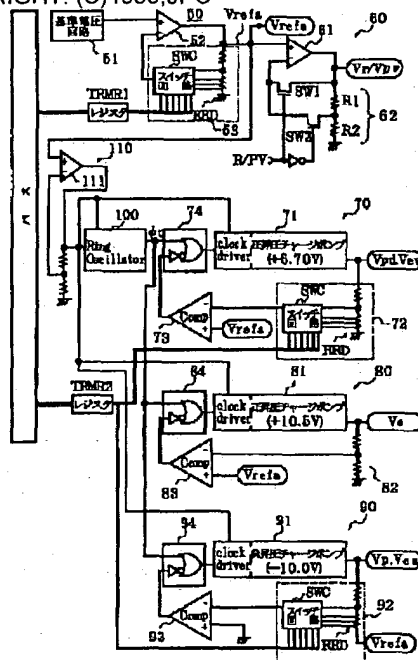
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a nonvolatile semiconductor memory and integrated circuit contg. the same such as microcomputers wherein the write time can be adjust able as desired in a process after the chip manufacturing.

SOLUTION: The nonvolatile semiconductor memory or integrated circuit contg. the same having a power source circuit 25 having a reference voltage generator circuit 50, first booster circuits 90, 70 for generating writing high voltages and second booster circuits 90, 80 for generating erasing high voltages, power source switching circuit comprises a first trimming circuit 53 for adjusting the reference voltage generated by the reference voltage generator circuit 50, and second trimming circuits 72, 92 for adjusting the writing high voltage generated by the first booster circuit so as to change the voltage generated by the first booster circuit according to the counted no. of applying times

of the writing voltage to the memory element.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-297086

(43)公開日 平成11年(1999)10月29日

(51) Int.Cl.⁸

識別記号

FI

G 1 1 C 16/02
16/06

G 1 1 C 17/00

6 1 1 E

6 3 2 C

632A

審査請求 未請求 請求項の数4 OL (全 16 頁)

(21)出願番号

特願平10-101139

(22) 出題日

平成10年(1998)4月13日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 矢田 直樹

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)發明者 松原 清

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

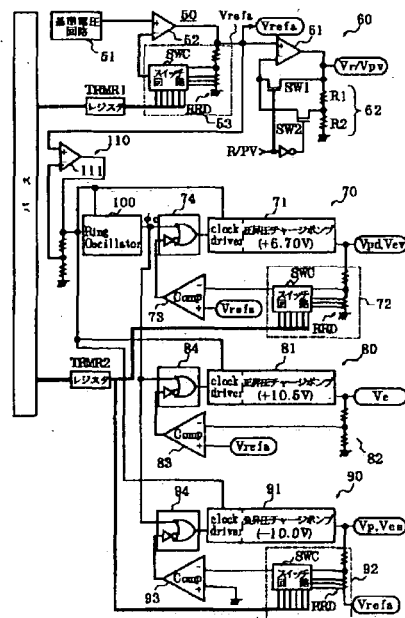
(74) 代理人 弁理士 大日方 富雄

(54)【発明の名称】 不揮発性半導体メモリおよびそれを内蔵した半導体集積回路並びにメモリの書込み時間調整方法

(57) 【要約】

【課題】 フラッシュメモリの記憶素子を構成するMOSFETはプロセスによってゲート酸化膜の厚みなど素子の各部の寸法やドレイン領域の不純物濃度などのパラメータがばらつくが、それによって書き込み時間が大きく変動する。その結果、基準電圧調整のみ行なったフラッシュメモリについて書き込み時間による選別試験を行なうと、良品率が低下するという課題がある。

【解決手段】 基準電圧発生回路(50)と書込み用の高電圧を発生する第1の昇圧回路(90,70)と消去用の高電圧を発生する第2の昇圧回路(90,80)とを有する電源回路(25)および電源切替え回路を備えた不揮発性半導体メモリもしくはそれを内蔵した半導体集積回路において、上記基準電圧発生回路より発生される基準電圧を調整する第1のトリミング回路(53)と、上記第1の昇圧回路より発生される書込み用の高電圧を調整する第2のトリミング回路(72,92)とを設けるとともに、上記記憶素子への書込み電圧の印加回数を計数し、計数結果に応じて上記第1の昇圧回路の発生電圧を変化させるようにした。



【特許請求の範囲】

【請求項1】 基準電圧発生回路と書き込み用消去用の高電圧を発生する昇圧回路とを有する電源回路および電源切替え回路を備え、ゲートとソースとウェルおよびドレインを有する記憶素子のしきい値を上記ゲート、ソース、ウェルおよびドレインに印加する電圧を制御して変化させデータを記憶させるように構成された不揮発性半導体メモリにおいて、

上記基準電圧発生回路より発生される基準電圧を調整する第1のトリミング回路と、上記昇圧回路より発生される書き込み用消去用の高電圧を調整する第2のトリミング回路とを設けるとともに、書き込み消去所要時間を計数する手段を設け、この計数結果に応じて少なくとも上記第2のトリミング回路のトリミング値を設定し書き込み消去用の昇圧回路の発生電圧を変化させるようにしたことを特徴とする不揮発性半導体メモリ。

【請求項2】 上記書き込み所要時間を計数する手段は、記憶素子への書き込みパルス印加回数を計数するソフトカウンタであることを特徴とする請求項1に記載の不揮発性半導体メモリ。

【請求項3】 請求項1または2に記載の不揮発性半導体メモリを内蔵してなることを特徴とする半導体集積回路。

【請求項4】 請求項1または2に記載の不揮発性半導体メモリもしくは請求項5に記載の半導体集積回路に対して、メモリ内のすべてのワード線およびデータ線を順番に選択することでデコーダの機能を検査する試験によって書き込み動作時の書き込みパルスの印加回数を計数して、この計数値に基づいて第2のトリミング回路のトリミング値を決定し昇圧回路の発生電圧を調整するようにしたことを特徴とするメモリの書き込み時間調整方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電気的に書き込み消去可能な不揮発性半導体メモリにおける書き込み時間の微調整に適用して有効な技術に関し、例えばブロック単位で一括してデータの消去が可能なフラッシュメモリチップを内蔵したマイクロコンピュータに利用して有効な技術に関する。

【0002】

【従来の技術】 フラッシュメモリは、コントロールゲートおよびフローティングゲートを有する不揮発性記憶素子をメモリセルに使用しており、1個のトランジスタでメモリセルを構成することができる。かかるフラッシュメモリにおいては、書き込み動作では、図14(B)に示すように不揮発性記憶素子のドレイン領域Dの電圧を例えば6.7V(ボルト)にし、コントロールゲートC-GATEが接続されたワード線を例えば-10.0Vにすることにより、フローティングゲートF-GATEから電荷をドレイン領域Dへ引き抜いて、しきい値電圧

を低い状態(論理“0”)にする。また、消去動作では、図14(C)に示すように、ソース領域Sおよび基体P-SUBを例えば-10.0Vにし、コントロールゲートC-GATEを10.5Vのような高電圧にしてフローティングゲートF-GATEに負電荷を注入してしきい値を高い状態(論理“1”)にする。これにより1つの記憶素子に1ビットのデータを記憶させるようにしている。

【0003】 なお、フラッシュメモリにおいては、一般に書き込みは例えばセクタ単位すなわちワード線を共通にする1行分のメモリセルに対して同時に行なわれ、消去はブロック単位すなわちウェル領域を共通にする複数のセクタに対して同時に行なわれるようになっており、本発明の実施例においても特に言及しない限りそのように構成されているものとする。

【0004】

【発明が解決しようとする課題】 フラッシュメモリにおいては、書き込み動作や消去動作、読出し動作等においてそれぞれ異なる電圧が記憶素子に印加される。このような種々の電圧はメモリ内部の電源回路において生成されるようになっているが、プロセスばらつきによって電源回路を構成する素子の特性がばらついてしまい、それによって生成される電圧もばらついてしまう。その結果、メモリの正確な動作が保証されなくなる。そこで、生成される電圧をチップ製造後の段階で微調整できるようにするため、電圧トリミング回路を設けることについて検討した。

【0005】 しかしながら、メモリ内部の電源回路で生成される基準電圧がトリミング回路によって所望の値に調整されたとしても書き込み時間が大きくばらついてしまい歩留まりが低下するという問題点があることが明らかになった。すなわち、フラッシュメモリの記憶素子を構成するMOSFETはプロセスによってゲート酸化膜の厚みなど素子の各部の寸法やドレイン領域の不純物濃度などのパラメータがばらつくが、それによって書き込み時間が大きく変動する。その結果、電圧調整のみ行なったフラッシュメモリについて書き込み時間による選別試験を行なうと、書き込み電圧さえ少し高くしてやれば良品となるチップを不良品と判定してしまっており良品率が低下することが明らかになった。また、ユーザーシステムの組立ラインにおいて、書き込み時間が規定時間以内に入っていない製品があると、組立ラインにおいて設定された時間内にフラッシュメモリへのデータの書き込みが終了せず、ラインが止まってしまうというトラブルが発生するおそれがある。

【0006】 なお、書き込み電圧を大きくすることで書き込み時間を短くすることはできるが、書き込み時間が短すぎると正常な記憶素子では例えば0.5~1.0Vのしきい値になるはずの記憶素子のしきい値が0V以下になってしまういわゆるデブリーチ状態の記憶素子が発生する

という別の問題が生じる。従って、極端に書込み電圧を上げることはできないとともに、書込み電圧を上げる調整を行なったメモリについて書込み時間による再度の選別試験を省略するようなこともできない。

【0007】この発明の目的は、チップ製造後の工程において書込み時間を任意に調整可能な不揮発性半導体メモリおよびそれを内蔵したマイクロコンピュータ等の半導体集積回路を提供することにある。

【0008】この発明の他の目的は、プロセスばらつきにより書込み時間がばらついた不揮発性半導体メモリもしくはそれを内蔵したマイクロコンピュータ等の半導体集積回路の良品率を、チップ製造後の工程において書込み時間を調整することで向上させることができるようにすることにある。

【0009】この発明のさらに他の目的は、不揮発性半導体メモリもしくはそれを内蔵したマイクロコンピュータ等の半導体集積回路の書込み時間による選別試験を効率良く実行できる書込み電圧の調整技術を提供することにある。

【0010】この発明のさらに他の目的は、不揮発性半導体メモリもしくはそれを内蔵したマイクロコンピュータ等の半導体集積回路を使用したシステムの組立ラインにおいて不揮発性メモリへの書込み時間がラインの移送間隔よりも長くなってラインが停止する等のトラブルの発生を防止することができるようにすることにある。

【0011】この発明の前記ならびにほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかなるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち代表的なものを概要を簡単に説明すれば、下記のとおりである。

【0013】すなわち、基準電圧発生回路と書込み用の高電圧（負電圧または正電圧）を発生する第1の昇圧回路と消去用の高電圧（正電圧または負電圧）を発生する第2の昇圧回路とを有する電源回路および電源切替回路を備え、ゲートとソースおよびドレインを有する記憶素子のしきい値を上記ゲート、ソースおよびドレインに印加する電圧を制御して変化させデータを記憶させるように構成された不揮発性半導体メモリもしくはそれを内蔵した半導体集積回路において、上記基準電圧発生回路より発生される基準電圧を調整する第1のトリミング回路と、上記第1の昇圧回路より発生される書込み用の高電圧を調整する第2のトリミング回路とを設けるとともに、書込み所要時間を計数する手段を設け、この計数結果に応じて少なくとも上記第2のトリミング回路の発生電圧を変化させるようにしたものである。

【0014】上記した手段によれば、基準電圧発生回路で発生される基準電圧がチップ間でばらついても同一電圧になるように第1のトリミング回路により調整するこ

とができるとともに、記憶素子の書込み特性がチップ間でばらついても、第2のトリミング回路により第1の昇圧回路で発生される書込み用高電圧を調整することにより書込み時間がチップ間でほぼ一定になるように補正することができる。

【0015】なお、上記書込み所要時間を計数する手段としては、例えば記憶素子のゲートが接続されたワード線への書込み電圧の印加回数を計数するカウンタや書込み時間を直接するタイマがある。しかもこのカウンタは、書込み制御を行なうプログラムによって更新されるソフトカウンタまたはソフトタイマが望ましいが、信号によって動作するカウンタ回路またはタイマ回路であっても良い。ただし、ソフトウェアで構成するようにした方がハードウェアの量を減らし、チップサイズを小さくすることができるという利点がある。

【0016】さらに、メモリ内のすべてのワード線およびデータ線を順番に選択することでデコーダの機能を検査する試験によって書込み動作時のワード線への書込みパルスの印加回数を計数して、この計数値に基づいて第2のトリミング回路の電圧を調整するようにした。これによって、記憶素子の書込み特性がチップ間でばらついても書込み時間がチップ間でほぼ一定になるように補正することができるとともに、トリミング後に書込み試験を行なって書込み時間が許容範囲内のものを選別することにより、本当に書込み時間に問題のあるチップのみを不良品とすることができ良品率が向上するとともに、書込みが遅いチップが出てきても上記書込み時間の調整により書込み特性の試験時間を短縮することができるようになる。

【0017】また、今回の発明実施の形態に記載しないが、消去用の高電圧を発生する第2の昇圧回路に第3のトリミング回路をつけて、書込みと同じ様に消去電圧の印加回数を計数して、この計数値に基づいて第3のトリミング回路により消去電圧を調整し、消去時間がチップ間でばらついてもチップ間でほぼ一定になるように補正することができる。

【0018】

【発明の実施の形態】以下、本発明をフラッシュメモリを内蔵したマイクロコンピュータ（以下、フラッシュマイコンと称する）に適用した場合の実施例を図面を用いて説明する。図1には、本発明を適用したフラッシュマイコンの概略構成が示されている。特に制限されないが、図1に示されている各回路ブロックは、単結晶シリコンのような1個の半導体チップ上に形成されている。

【0019】図1において、FLASHは図14に示されているようなフローティングゲートを有するMOSFETからなる不揮発性記憶素子としてのメモリセルがマトリックス状に配置されたメモリアレイおよびメモリセル選択用のアドレスデコーダ、アドレス及びデータのラッチ回路、データ増幅用のセンスアンプ、データの書込

み、消去、読出しに必要とされる電圧を発生する電源回路等の周辺回路からなるメモリ回路、FLCはフラッシュメモリ回路に対する書込みや消去、トリミングを行なうフラッシュコントローラ、CPUはチップ全体の制御を司る中央処理装置、RAMはデータを一時記憶したり中央処理装置CPUの作業領域を提供するランダムアクセスメモリ、BUSは上記中央処理装置CPUとフラッシュメモリ回路FLASH、フラッシュコントローラFLC、高速メモリRAM間を接続するバス、BSCはこのバスの占有権の制御等を行なうバスコントローラである。

【0020】なお、図1には示されていないが、シングルチップマイコンのようなマイクロコンピュータの場合には、上記回路ブロックの他に、内部のメモリと外部のメモリ等との間のDMA（ダイレクトメモリアクセス）転送を制御するDMA転送制御回路や、CPUに対する割込み要求の発生および優先度を判定して割り込みをかける割込み制御回路、外部装置との間でシリアル通信を行なうシリアルコミュニケーションインタフェース回路、各種タイマ回路、アナログ信号とデジタル信号の変換を行なうA/D変換回路、システム監視用のウォッチドッグタイマ、システムの動作に必要なクロック信号を発生する発振器などが必要に応じて設けられる。

【0021】図2には、上記フラッシュメモリ回路FLASHの概略構成が示されている。図2において、11は図14に示されているようなフローティングゲートを有するMOSFETからなる不揮発性記憶素子としてのメモリアルセルがマトリクス状に配置されたメモリアルレイ、12は外部から入力された書込みデータを保持するデータレジスタ、13はこのデータレジスタ12に保持されたデータに基づいて上記メモリアルレイ11に対して書込みを行なう書込み回路である。

【0022】また、14はアドレス信号を保持するアドレスレジスタ、15はメモリアルレイ11内のワード線の中から上記アドレスレジスタ14に取り込まれたXアドレスに対応した1本のワード線を選択するXデコーダ、16はアドレスレジスタ14に取り込まれたYアドレスをデコードして1セクタ内の1バイト（あるいは1ワード）のデータを選択するYデコーダ、17は消去の際にブロック（マット）の選択等を行なう消去制御回路、18はメモリアルレイ11より読み出されたデータを増幅して出力するセンスアンプである。

【0023】さらに、この実施例のフラッシュメモリ回路には、上記各回路ブロックの他、外部からの制御信号をフラッシュメモリ各回路への制御信号に変換する制御回路27、アドレス信号やデータ信号の入出力を行なうI/Oバッファ回路23、外部から供給される電源電圧Vccに基づいて書込み電圧、消去電圧、読出し電圧、ベリファイ電圧等チップ内部で必要とされる電圧を生成する電源回路25、メモリの動作状態に応じてこれらの電

圧の中から所望の電圧を選択してメモリアルレイ11に供給する電源切替回路26等が設けられている。

【0024】フラッシュコントローラFLCの詳細な構成は省略するが、この実施例のフラッシュコントローラFLCはコントロールレジスタを備え、CPUがRAM内に格納されたプログラムに従って、上記コントロールレジスタに書込みを行なうとフラッシュコントローラFLCがコントロールレジスタのビット状態に応じてフラッシュメモリ回路FLASHに対する制御信号を形成して書込みや消去、読出し、ベリファイ等の動作を行なわせるように構成されている。

【0025】図3には、上記コントロールレジスタのうち書込み、消去制御用のコントロールレジスタCNTRの構成例が示されている。この実施例のレジスタは、不用意に書込み、消去動作が行われないようにプロテクトをかけるためのビットFWEと、電源回路25に対する電源オンを指示するビットSWE、デコーダの出力の極性や電源切替等メモリアルレイおよびその周辺回路を書込み準備状態にさせる書込みセットアップビットPSV、書込みパルスを与えるように指示するビットP、メモリアルレイおよびその周辺回路を消去準備状態にさせる消去セットアップビットESV、消去パルスを与えるように指示するビットE、消去ベリファイを行なうように指示するビットEV、書込みベリファイを行なうように指示するビットPVなどから構成されている。

【0026】フラッシュコントローラFLCには、上記書込み消去制御用のコントロールレジスタCNTRの他に、消去時にメモリアルレイ内の複数のブロックのうち消去ブロックを選択するための消去選択レジスタ、後述の電圧トリミング用の値を設定するレジスタTRMR1、TRMR2（図4参照）、メモリアルレイ内の欠陥ビットを含むメモリ列を予備のメモリ列に置き換えるための救済情報を保持するレジスタが設けられている。

【0027】なお、特に制限されないが、この実施例では、トリミング用レジスタTRMR1、TRMR2の値はフラッシュメモリ回路FLASHのメモリアルレイ内の所定のエリアに記憶されており、リセット時にフラッシュメモリ回路から読み出してトリミング用レジスタTRMR1、TRMR2に設定するようにされている。上記書込み消去制御用のコントロールレジスタCNTRは、後述の試験およびトリミング値決定の際にのみならず、通常の書込み、消去動作の際にも使用される。

【0028】従来のフラッシュメモリの中には、外部のCPU等から与えられるコマンドをデコードしてそのデコード結果に基づいて当該コマンドに対応した処理を実行すべくメモリ内部の各回路に対する制御信号を順次形成して出力する制御回路（シーケンサ）を備え、その制御回路は、例えばマイクロプログラム方式のCPUの制御部と同様に、コマンド（命令）を実行するのに必要な一連のマイクロ命令群が格納されたROM（リードオン

リメモリ) からなるものが開発されているが、この実施例では、フラッシュコントローラFLCが上記のようなコントロールレジスタCNTRを備え、CPUがRAM内に格納されたプログラムに従って、上記コントロールレジスタに書き込みを行なうとフラッシュコントローラFLCがコントロールレジスタCNTRのビット状態に応じてフラッシュメモリ回路FLASHに対する制御信号を形成して書き込みや消去、読出し、ベリファイ等の動作を行なわせるように構成されているため、従来のコマンド方式のコントローラに比べてハードウェアの規模を小さくすることができるという利点がある。

【0029】図4には、電源回路25の具体例が示されている。この実施例の電源回路は、基準電圧発生回路50と、該基準電圧発生回路50で発生された2.5Vのような基準電圧Vrefaに基づいて、読出し時にワード線を介してメモリセルのコントロールゲートに印加される4.25Vのような電圧Vrや書き込みベリファイ時にコントロールゲートに印加される2.5Vのような電圧Vpvを生成する電圧発生回路60と、書き込み時にメモリセルのドレインに印加される6.7Vのような電圧Vpdおよび消去ベリファイ時にコントロールゲートに印加される6.7Vのような電圧Vevを生成する電圧発生回路70と、消去時にコントロールゲートに印加される10.5Vのような電圧Veを生成する電圧発生回路80と、書き込み時にコントロールゲート、また消去時にソース(およびウェル)にそれぞれ印加される-10.0Vのような電圧Vp、Vesを生成する電圧発生回路90と、チャージポンプ駆動用のクロックφcを発生するリングオシレータ100と、上記電圧発生回路70~90および上記リングオシレータ100の電源電圧を発生するクランプ電源回路110とにより構成されている。

【0030】なお、上記電圧発生回路70~90のうち70と80は正の昇圧電圧を発生し、90は負の昇圧電圧を発生するように構成されている。また、特に制限されないが、この実施例では、上記基準電圧発生回路50と電圧発生回路70、90に対応してそれぞれ電圧トリミング回路53、72、92が設けられており、このうちトリミング回路53にはフラッシュコントローラFLC内のトリミング用レジスタTRMR1に設定されている値が供給され、トリミング回路72、92にはトリミング用レジスタTRMR2に設定されている値が供給されるように構成されている。

【0031】上記基準電圧発生回路50は、基準電圧発生回路51と、該基準電圧発生回路51で生成された基準電圧Vrefを非反転入力端子に受けボルテージホロワのように機能するオペアンプ52と、該オペアンプ52の出力電圧を調整するトリミング回路53とから構成されている。トリミング回路53は、後述のように、オペアンプの出力電圧を抵抗分割する抵抗ラダーRRDと、該抵抗ラダー回路の各タップの出力のうちフラッシュコントロ

ーラFLC内の前記トリミング用レジスタTRMR1に設定されている値に応じた1つの電圧を上記オペアンプ52の反転入力端子に帰還させるスイッチ回路SWCとにより構成されており(図5参照)、オペアンプ52はスイッチ回路SWCを介して帰還される電圧が上記基準電圧発生回路51からの基準電圧Vrefと一致させるように動作する。

【0032】この実施例では、上記オペアンプ52の出力電圧Vrefaが2.5Vとなるように上記抵抗ラダーRRDの抵抗比が設定されている。そして、このオペアンプ52の出力電圧Vrefaが上記電圧発生回路60、70、80の基準電圧として、また上記電圧発生回路70~90を構成するチャージポンプおよび上記リングオシレータ100の電源電圧を発生するクランプ電源110のオペアンプ111の基準電圧として供給されるようにされている。これにより、電圧発生回路70~90は、電源電圧Vcc(5V±0.5V)がばらついても電源依存性のない昇圧電圧を発生することができる。

【0033】また、上記電圧発生回路60は、上記基準電圧発生回路50で発生された基準電圧Vrefaを非反転入力端子に受けボルテージホロワのように機能するオペアンプ61と、該オペアンプ61の出力端子に接続された抵抗分圧回路62と、該抵抗分圧回路62とオペアンプ61の反転入力端子との間に接続された選択スイッチSW1、SW2とにより構成され、このスイッチSW1、SW2はリード/書き込みベリファイ制御信号R/PVによって選択的にオン、オフ制御され、SW1がオンのときは2.5Vのような書き込みベリファイ電圧Vpvを出力し、SW2がオンのときは4.25Vのような読出し電圧Vrを出力するように、抵抗分圧回路62を構成する抵抗R1、R2の抵抗比が設定されている。

【0034】上記電圧発生回路70は、上記リングオシレータ100で形成されたクロックφcによってチャージ動作を行なうチャージポンプ回路71と、抵抗ラダーRRDとスイッチ回路SWCとからなり上記チャージポンプ回路71の出力電圧を調整するトリミング回路72と、該トリミング回路72内の抵抗ラダーで上記チャージポンプ回路71の出力電圧を抵抗分割した電圧と基準電圧Vrefaとを比較し、基準電圧Vrefaの方が高い間はハイレベルを出力し基準電圧Vrefaの方が低くなるとロウレベルを出力するコンパレータ73と、該コンパレータ73の出力により上記リングオシレータ100で形成されたクロックφcを上記チャージポンプ回路71に供給したり遮断したりするクロック制御ゲート回路74とにより構成されている。

【0035】これによって、この電圧発生回路70は、チャージポンプ回路71の出力電圧が例えば6.7Vよりも低い間は上記リングオシレータ100で形成されたクロックφcによりチャージ動作を行ない、チャージポンプ回路71の出力電圧が6.7Vを越えるとリングオ

シレータ100からのクロック ϕc が遮断されてチャージ動作を停止することで、書込み時にメモリセルのドレインに印加される6.7Vのような電圧 V_{pd} および消去ベリファイ時にコントロールゲートに印加される6.7Vのような電圧 V_{ev} を発生する。しかも、この電圧発生回路70は、後述のような抵抗ラダーRRDとスイッチ回路SWC(図5参照)とからなるトリミング回路72を備えているため、発生する電圧が調整可能である。また、書込みドレイン電圧 V_{pd} と消去ベリファイ電圧 V_{ev} を同一レベルに設計し、同一の電圧発生回路70で発生しているため、電源回路25の簡素化が可能になる。

【0036】なお、電圧発生回路70が書込みドレイン電圧 V_{pd} と消去ベリファイ電圧 V_{ev} を発生しているため、書込みドレイン電圧 V_{pd} を変えると消去ベリファイ電圧 V_{ev} も変わることとなるが、消去時はデブリートの問題もないので、消去レベルを高めにセットしている。書込み時のドレイン電圧 V_{pd} を変更したとしても変更範囲内で消去レベルに問題が無いレベルにしておき、書込みドレイン電圧 V_{pd} の調整で消去ベリファイ電圧 V_{ev} が多少設計値よりずれたとしても回路の動作上支障はない。そこで、この実施例では、上記のように、書込みドレイン電圧 V_{pd} と消去ベリファイ電圧 V_{ev} を同一の電圧発生回路70で発生することで電源回路25の簡素化を図っている。

【0037】一方、上記電圧発生回路80は、上記リングオシレータ100で形成されたクロック ϕc によってチャージ動作を行なうチャージポンプ回路81と、抵抗分圧回路82と、該抵抗分圧回路82の抵抗比で上記チャージポンプ回路81の出力電圧を抵抗分割した電圧と基準電圧 V_{refa} とを比較し、基準電圧 V_{refa} の方が高い間はハイレベルを出力し基準電圧 V_{refa} の方が低くなるとロウレベルを出力するコンパレータ83と、該コンパレータ83の出力により上記リングオシレータ100で形成されたクロック ϕc を上記チャージポンプ回路81に供給したり遮断したりするクロック制御ゲート回路84とにより構成されている。

【0038】これによって、この電圧発生回路80は、チャージポンプ回路81の出力電圧が例えば10.5Vよりも低い間は上記リングオシレータ100で形成されたクロック ϕc によりチャージ動作を行ない、チャージポンプ回路81の出力電圧が10.5Vを越えるとリングオシレータ100からのクロック ϕc が遮断されてチャージ動作を停止することで、消去時にコントロールゲートに印加される10.5Vのような電圧 V_e を発生する。この電圧発生回路80にはトリミング回路82が設けられていない。消去は、書込みのセクタ単位に比べて大きなウェル領域を共通にするブロック単位で行なっているので、消去時間は書込み時間よりも短くかつ仕様上(ユーザーからの要求)も書込み時間ほど高い精度が必要とされていないためである。もし、消去時間が問題に

なる場合は、この電圧発生回路80にトリミング回路を追加し、消去時間を基に電圧 V_e を調整する様にしても良い。

【0039】上記電圧発生回路90は、負の昇圧回路であるが、上記電圧発生回路70と同様な構成を有する。すなわち、リングオシレータ100で形成されたクロック ϕc によって負のチャージ動作を行なうチャージポンプ回路91と、後述のような抵抗ラダーRRDとスイッチ回路SWC(図5参照)とからなり上記チャージポンプ回路91の出力電圧を調整するトリミング回路92と、該トリミング回路92内の抵抗ラダーで上記チャージポンプ回路71の出力電圧を抵抗分割した電圧と接地電位とを比較し、接地電位の方が高い間はハイレベルを出力し接地電位の方が低くなるとロウレベルを出力するコンパレータ93と、該コンパレータ93の出力により上記リングオシレータ100で形成されたクロック ϕc を上記チャージポンプ回路91に供給したり遮断したりするクロック制御ゲート回路94とにより構成されている。

【0040】これによって、この電圧発生回路90は、チャージポンプ回路91の出力電圧が例えば-10.5Vよりも高い間は上記リングオシレータ100で形成されたクロック ϕc によりチャージ動作を行ない、チャージポンプ回路91の出力電圧が-10.5Vを越える(下がる)とリングオシレータ100からのクロック ϕc が遮断されてチャージ動作を停止することで、書込み時にメモリセルのコントロールゲートおよび消去時にメモリセルのソースと基体に印加される-10.5Vのような電圧 V_p 、 V_{es} を発生する。

【0041】しかも、この電圧発生回路90は、抵抗ラダーとスイッチ回路とからなるトリミング回路92を備えているため、発生する電圧が調整可能である。また、この電圧発生回路90も書込み電圧 V_p と消去時のソース電圧 V_{es} を共通にしているため、電源回路25の簡素化が可能になる。書込み電圧 V_p と消去時のソース電圧 V_{es} を同一の電圧発生回路で発生するように構成できる理由は、電圧発生回路70、80で説明したのと同じ理由である。

【0042】以上のように、この実施例においては、基準電圧発生回路50で発生される基準電圧 V_{ref} がチップ間でばらついても同一電圧になるようにトリミング回路53により調整することができるとともに、記憶素子の書込み特性がチップ間でばらついてもトリミング回路72、92により昇圧回路としての電圧発生回路70および90で発生される書込み用高電圧 V_{pd} 、 V_p を調整することにより書込み時間がチップ間でほぼ一定になるように補正することができる。

【0043】なお、第2の昇圧回路としての電圧発生回路90にトリミング回路92を設け、第3の昇圧回路としての電圧発生回路70にはトリミング回路72を設け

ないで書込み電圧 V_p のみで書込み時間の調整を行なうようにしても良い。

【0044】図5にトリミング回路の具体的な回路構成例が示されている。各電圧発生回路50、70、90の出力端子と基準電位点（GNDまたは V_{refa} ）との間に接続された抵抗ラダーRRDと、各抵抗の結合ノード N_1 、 N_2 … N_n と出力端子OUTとの間にピラミッド状に設けられたMOSFETからなるスイッチ回路SWCとによりトリミング回路が構成され、各MOSFETのオン、オフ状態をトリミング用レジスタTRMR1またはTRMR2のビット信号 B_1 、 B_2 …により制御することにより、上記ノード N_1 、 N_2 … N_n のうちいずれか一つの電圧が出力端子OUTへ供給されるようにされている。なお、図5には16段階の電圧のいずれかを出力できるように構成されたトリミング回路が示されているが、調整可能な電圧の段数はこれに限定されず、トリミング用レジスタTRMR1、TRMR2のビット数との関係でさらに多段に調整できるように構成することも可能である。

【0045】次に書込み時間のトリミング時におけるフラッシュコントローラの動作手順を図6～図8を用いて説明する。

【0046】書込み時間のトリミングを行なうには、対象となるチップのフラッシュメモリ回路の特性を知る必要がある。この実施例のフラッシュマイコンでは、チップ製造後の試験工程の中でフラッシュメモリ回路の特性を知り、その結果を用いてトリミングを行なうように構成されている。図6には、フラッシュメモリ回路部分の試験動作手順がフローチャートとして示されている。この試験では、先ずスタンバイ状態におけるチップの電流を測定することでチップのリークテストを行なう（ステップS1）。このリークテストで所定の値以上の電流が流れているときは、リーク電流が流れていると推定できるので、不良品と判定する。

【0047】次に、例えばテスト用パッドに検査用のプローブを当てて、フラッシュメモリ回路FLASH内の電源回路25から出力される電圧（基準電圧 V_{ref} および書込み電圧 V_p 、 V_{pd} ）が設計値どおりであるか判定する（ステップS2）。そして、設計値からずれているときは、そのずれ量に応じてトリミング値をそれぞれ決定する（ステップS3）。このトリミング値をフラッシュメモリ回路内の所定のエリアに格納するが、このとき所定時間経過しても書込みが終了しないときは不良品と判定する（ステップS4）。

【0048】それから、上記トリミング値をフラッシュコントローラ内の前述のトリミング用レジスタTRMR1、TRMR2に書き込んで、そのトリミング値をトリミング回路53および72、92に供給して発生される電圧の調整を行なう。そして、再度電源回路26から出力される電圧が設計値どおりであるか判定する（ステッ

プS5）。

【0049】続いて、フラッシュメモリ回路の全メモリセルを消去状態（例えばしきい値の高い状態）にする初期消去試験を行なって所定時間内に正常に消去できないビットを有するチップがあれば不良品と判定する（ステップS6）。

【0050】次に、図9に示すように、全てのワード線と全てのデータ線を1回ずつ順番に選択して行くことで効率良くデコーダを検査するダイアグナルデコーダ試験を行なう（ステップS7）。この時、不良なデコーダがあれば不良品と判定する。しかも、この実施例ではこのダイアグナル試験によって各チップの書込み時間を測定できるので、その書込み時間によって昇圧回路からなる電圧発生回路のトリミング値を決定し、そのトリミング値を用いて書込み時間のトリミングも合わせて行なうようにしている。書込み時間のトリミングの具体的な手順は後に詳しく説明する。

【0051】その後、フラッシュメモリ回路の種々の特性試験（ステップS8～S12）を行なって良品と不良品を選別する。フラッシュメモリ回路の特性試験としては、メモリアレイ内の各メモリセルに対して図10のようなチェッカーパターン状に書込みを行なって正常に書込みが行なえるか調べるチェッカー書込み試験（ステップS8）と、すべてのメモリセルに対してデータ“0”（しきい値の低い状態）を書き込んで正常に書込みが行なえるか調べるオールゼロ書込み試験（ステップS9）と、データ“0”を書き込む際にデータ線、ワード線を共通にする非選択のメモリセルのしきい値が変化しないかまたメモリのリードをしている時にしきい値が変化していないかなどを調べる“0”側データのディスタ urb試験（ステップS10）と、すべてのメモリセルのデータを“1”（しきい値の高い状態）にする消去を行なって正常に消去が行なえるか調べる消去試験（ステップS11）と、データ“0”を書き込む際にデータ線、ワード線を共通にする非選択のメモリセルのしきい値が変化しないかまたメモリのリードをしている時にしきい値が変化していないかなど調べる“1”側データのディスタ urb試験（ステップS12）などがある。

【0052】次に、上記ステップS7で行なわれる書込み時間トリミングの具体的な手順を図7および図8のフローチャートを用いて説明する。書込み時間トリミングを行なう際には、先ずトリミング値を決定するための処理を行なう。この実施例では、ダイアグナル書込み試験を利用して書込み時間のトリミング値を決定するようにしている。ダイアグナル書込み試験は図7に示すような手順で行なわれる。すなわち、先ずメモリアレイの書込みパルス印加回数を計数するカウンタ T_{wdn} の初期化（リセット）を行なう（ステップS21）。次に、フラッシュメモリ回路内の電源回路25を起動させる（ステップS22）。この電源回路25の起動は、CPUが前

記フラッシュコントローラFLC内のコントロールレジスタのSWEビットに“1”を立てることにより行なうことができる。

【0053】それから、CPUによってダイアグナル書込みのためのデータ（いずれか1ビットだけ“0”にされた1セクタ分のデータ）とX、Yアドレスを生成するとともに、1セクタ（ワードを共通にし1回の書込みの対象となる例えば32バイトのようなメモリセル群）当たりの書込みパルス回数を計数するカウンタNを“0”にする（ステップS23）。そして、生成された書込みデータを作業用メモリRAMに転送する（ステップS24）。続いて、RAM内の書込みデータをフラッシュメモリ回路FLASH内のデータレジスタ12に転送する（ステップS25）。また、CPUからフラッシュメモリ回路へX、Yアドレスを転送する。

【0054】次に、メモリアレイ11内の転送されたXアドレスに対応した1本のワード線に書込みパルスを印加させる（ステップS26）。この書込みパルスの印加は、CPUが前記フラッシュコントローラFLC内のコントロールレジスタのPビットに“1”を立てることにより行なうことができる。続いて、書込みパルス印加回数を計数するカウンタTwdnおよびNの値をそれぞれインクリメント（+1）する（ステップS27）。しかる後、X、Yアドレスをそのままにしてベリファイのための読出しを行なう（ステップS28）。そして、読出しデータと書込みデータを比較して書込みが完了したか判定する（ステップS29）。

【0055】ここで、書込みが完了していなければ上記カウンタNの値が例えば400以上か判定する（ステップS30）。そして、400未満であれば再書込みデータを生成（ステップS31）して上記ステップS24へ移行して上記動作を繰り返す。これによって、1セクタに対するデータの書込みは最高400回まで行われる。そして、400回目に達すると、フラッシュメモリ回路内の電源回路25の動作を停止させ（ステップS32）、書込み不良として終了する。この電源回路25の停止は、CPUが前記フラッシュコントローラFLC内のコントロールレジスタのSWEビットに“0”を書き込むことにより行なうことができる。

【0056】一方、上記書込み動作を繰り返しているうちにステップS29で書込み完了と判定されると、最終アドレスまで達したか判定する（ステップS33）。そして、最終アドレスでないときは上記ステップS3へ戻って次の書込みデータとX、Yアドレスを生成して上記動作を繰り返す。ここで、次の書込みデータは前の書込みデータの“0”の位置を1ビットずらしたデータであり、X、Yアドレスはそれぞれ前のアドレス値をインクリメント（もしくはデクリメント）した値である。ステップS33で、最終アドレスと判定されたときは、フラッシュメモリ回路内の電源回路25の動作を停止させ

（ステップS34）、書込み動作を終了する。このようにしてダイアグナル書込みが終了した時点でカウンタTwdnには、メモリアレイに対して書込みパルスを印加した回数が保持されている。

【0057】書込みトリミングでは、図8に示すように、ダイアグナル書込み終了後にまずカウンタTwdnの値およびトリミング用レジスタTRMR2の初期設定値をCPUに読み込む（ステップS41）。トリミング用レジスタTRMR2の初期設定値は、発生電圧がトリミング回路により調整可能な電圧範囲のちょうど中央になるような値が選択される。次に、ステップS41で読み込まれたカウンタTwdnの値がどのような範囲にあるか判定する（ステップS42～S49）。そして、カウンタTwdnの値の入っている範囲に応じて、トリミングテーブルの参照用タップを変える（ステップS52～S59）ことでトリミング用レジスタTRMR2に設定すべきトリミング値を読み出して、フラッシュメモリ回路FLASHのメモリアレイ内のトリミング情報エリアに書き込んで終了する（ステップS60）。トリミングテーブルは、試験の開始前にプログラムとともに作業用メモリRAM内に格納されている。

【0058】なお、トリミング情報エリアに記憶されたトリミング値は、図6のフローにおいてステップS8の書込み試験の際に、フラッシュメモリ回路から読み出されてフラッシュコントローラFLC内のトリミング用レジスタTRMR2に設定される。これによって、フラッシュメモリ回路の電源回路25内の書込み電圧発生用の電圧発生回路52、54から発生される電圧がメモリの特性に応じた最適な電圧に調整されるようになる。また、通常動作においても、例えばリセットが入ったときにバスコントローラBSCによって自動的にフラッシュメモリから読み出されてトリミング用レジスタTRMR2に設定されるように構成されている。

【0059】さらに、上記トリミング値を決定するプログラムもフラッシュメモリの所定のエリアに記憶しておいて、所定のモード（例えばテストモード）が指定されたバスコントローラBSCによって自動的にフラッシュメモリから読み出されて作業用メモリRAMに転送され、CPUによって実行されるように構成してもよい。

【0060】上述のように本実施例によれば、フラッシュメモリ回路の基準電圧発生回路50で発生される基準電圧がチップ間でばらついても同一電圧になるようにトリミング回路53により調整することができるとともに、記憶素子の書込み特性がチップ間でばらついてもトリミング回路72、92により電圧発生回路70、90で発生される書込み用高電圧Vpd、Vpを調整することにより書込み時間がチップ間でほぼ一定になるように補正することができる。

【0061】なお、実施例においては、メモリ内のすべてのワード線およびデータ線を順番に選択することでデ

コーダの機能を検査するダイアグナル試験において書込み動作時の書込みパルスの印加回数を計数して、この計数値に基づいてトリミング回路(72, 92)の電圧を調整するようにしており、厳密に言うと検出した所要書込み時間によって、書込み電圧を調整するものではない。しかしながら、書込みパルスの印加回数は書込み時間とほぼ比例しているため、上記のように書込みパルス印加回数で書込み電圧を調整するようにしてもほぼ正確な調整が可能となる。

【0062】図11(A)は、本発明者がフラッシュマイコンの開発に際して行なったダイアグナル試験における書込みパルスの印加回数と書込み時間との関係を示す。同図より、ダイアグナル試験における書込みパルスの印加回数はサンプルによって大きくばらつくものの、すべてのサンプルはほぼ直線上に分布しており、これよりダイアグナル試験における書込みパルスの印加回数と書込み時間がほぼ比例関係にあることが分かる。また、図11(B)には、書込み電圧を変えて行なったダイアグナル試験における書込みパルスの印加回数と書込み時間との関係を示す。同図において同一記号のものは同一の書込み電圧に設定されたもので、それぞれ直線上に分布していることが分かる。これより、書込み電圧を変えても書込みパルスの印加回数と書込み時間とは比例関係にあることが明らかである。

【0063】図12は、本発明者がフラッシュマイコンの開発に際して行なったオール“0”書込み試験における書込みパルスの印加回数と書込み時間との関係を示す。同図より、オール“0”書込み試験における書込みパルスの印加回数はサンプルによって大きくばらつくものの、すべてのサンプルは完全に直線上に分布しており、これよりオール“0”書込み試験における書込みパルスの印加回数と書込み時間が完全に比例関係にあることが分かる。従って、より精度の高い電圧調整を行ないたい場合には、オール“0”の書込み試験またはチェッカーパターン書込み試験を行なって得られた書込みパルス印加回数をを用いて電圧のトリミングを行なうようにすれば良い。

【0064】ただし、実施例のようにダイアグナル書込み試験の結果を用いるようにすることにより、ある程度精度がありしかも短時間に最適なトリミング値を得ることができるという利点がある。それに、書込み時間を推測するのにソフトカウンタを使用した事により、チップ外部に時間を測定する装置は必要ではなく、個々のチップに同じプログラムを用意することにより多数個同時にチップの書込み時間調整が容易となる。

【0065】図13は、本実施例を適用して電圧トリミングを行なったフラッシュメモリについてオール“0”書込み試験により調べた書込み所要時間を示す。同図において、白棒の棒は図2におけるトリミング回路60によって基準電圧のトリミングのみを行なったサンプルに

についての測定結果、ハッチングの入った棒は上記基準電圧のトリミングに加えて、図2のトリミング回路62、64により書込み電圧のトリミングを行なったサンプルについての測定結果をそれぞれ示す。なお、図において、Aは書込み時間の許容範囲である。同図より、基準電圧のトリミングのみではまだ不十分であったものが、本実施例を適用することにより大幅に良品率が向上されることが分かる。

【0066】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では、消去動作によって記憶素子のしきい値を高くし書込みによって記憶素子のしきい値を低くする形式のフラッシュメモリについて説明したが、この発明はそれに限定されず、消去によってしきい値を下げ書込みによって記憶素子のしきい値を高くする形式のフラッシュメモリおよびそれを内蔵した半導体集積回路においても同様に適用することができる。

【0067】また、実施例では、書込みパルス印加回数を計数して書込み電圧のトリミング値を決定するようにしているが、チップに内蔵されているタイマを利用あるいはプログラムでRAM上にソフトタイマを構成して書込み時間を測定し、その書込み時間を用いて書込み電圧のトリミング値を決定するようにしても良い。さらに、実施例では書込みパルス印加回数がどのような範囲にあるか判定してテーブルを参照し、書込み電圧のトリミング値を決定しているが、適当な演算式を与えて、書込みパルス印加回数をその演算式に代入して演算によって書込み電圧のトリミング値を決定するようにしても良い。

【0068】さらに、上記実施例では、書込みパルス印加回数を計数して書込み電圧を調整するようにしているが、書込み電圧の調整に加えて、昇圧電圧発生回路80にもトリミング回路を設けて、消去パルス印加回数を計数して消去電圧の調整を行なうようにしてもよい。また、第2の昇圧回路としての電圧発生回路90にのみトリミング回路92を設け、第3の昇圧回路としての電圧発生回路70にはトリミング回路72を設けずに書込み電圧V_pのみで書込み時間の調整を行なうようにしても良い。

【0069】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリを内蔵したマイクロコンピュータに適用した場合について説明したが、この発明はそれに限定されるものでなく、図1に示されているフラッシュメモリ回路FLASHとフラッシュコントローラFLCと同様な構成を有する不揮発性記憶メモリおよびそれを内蔵した半導体集積回路に広く利用することができる。

【0070】

【発明の効果】本願において開示される発明のうち代表

的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0071】すなわち、この発明は、チップ製造後の工程において書込み時間を任意に調整可能な不揮発性半導体メモリおよびそれを内蔵したマイクロコンピュータ等の半導体集積回路を得ることができる。また、プロセスばらつきにより書込み時間がばらついた不揮発性半導体メモリもしくはそれを内蔵したマイクロコンピュータ等の半導体集積回路の良品率を、チップ製造後の工程において書込み時間を調整することで向上させることができる。

【0072】さらに、不揮発性半導体メモリもしくはそれを内蔵したマイクロコンピュータ等の半導体集積回路の書込み時間による選別試験を効率良く実行できるとともに、不揮発性半導体メモリもしくはそれを内蔵したマイクロコンピュータ等の半導体集積回路を使用したシステムの組立ラインにおいて不揮発性メモリへの書込み時間がラインの移送間隔よりも長くなってラインが停止する等のトラブルの発生を防止することができる。

【図面の簡単な説明】

【図1】本発明を適用したフラッシュメモリを内蔵したマイクロコンピュータの一実施例の概略を示す全体ブロック図である。

【図2】本発明を適用したフラッシュメモリ回路部の構成例を示すブロック図である。

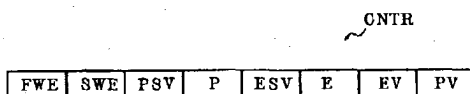
【図3】フラッシュコントローラ内の制御用レジスタの構成例を示す説明図である。

【図4】フラッシュメモリ回路の電源回路の構成例を示すブロック図である。

【図5】フラッシュメモリ回路のトリミング回路の構成例を示す回路図である。

【図6】フラッシュメモリにおける試験手順の一例を示すフローチャートである。

【図3】



【図7】フラッシュメモリにおける試験のひとつとしてのダイアグナル試験の手順の一例を示すフローチャートである。

【図8】本発明を適用したフラッシュメモリにおけるトリミング手順の一例を示すフローチャートである。

【図9】フラッシュメモリのダイアグナル試験における書込みパターンを示す説明図である。

【図10】フラッシュメモリのチェッカーパターン試験における書込みパターンを示す説明図である。

【図11】フラッシュメモリのダイアグナル書込み試験におけるパルス印加回数とオールゼロ書込み時間との関係を示す説明図である。

【図12】フラッシュメモリのオールゼロ書込みにおける書込みパルス印加回数とオールゼロ書込み時間との関係を示す説明図である。

【図13】本発明を適用したフラッシュメモリにおける書込み電圧トリミング前とトリミング後の書込み時間の变化の様子を示すグラフである。

【図14】フラッシュメモリの記憶素子の代表的な構造とそれぞれの動作モードでの印加電圧の一例を示す断面説明図である。

【符号の説明】

11 メモリアレイ

12 データレジスタ

13 書込み回路

14 アドレスレジスタ

15 Xデコーダ

17 Yデコーダ

25 電源回路

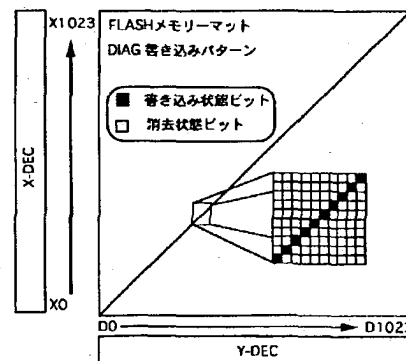
26 電源切替回路

FLC フラッシュコントローラ

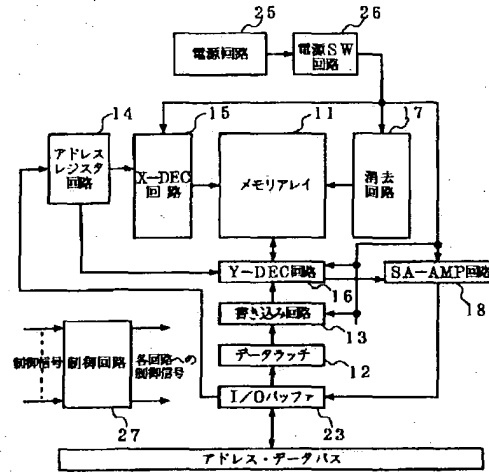
CNTR コントロールレジスタ

TRMR1, TRMR2 トリミング用レジスタ

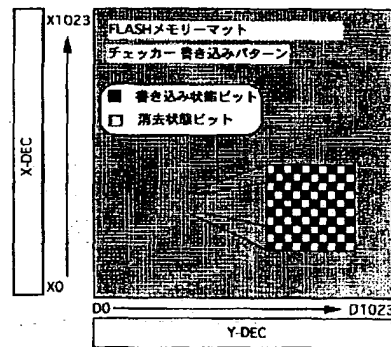
【図9】



【図2】



【图 10】



(A)

1024bit書き込み

ALL0書き込み時間 (sec)

書き込み時間が違う各サンプルは直線上に乗る。

Diag書き込みでのパルス印可回数

(B)

1024bit書き込み

ALL0書き込み時間 (sec)

サンプル数3個
バイアス電圧変化により直線的に書き込み時間が変化する。

Diag書き込みでのパルス印可回数

128KB書き込み

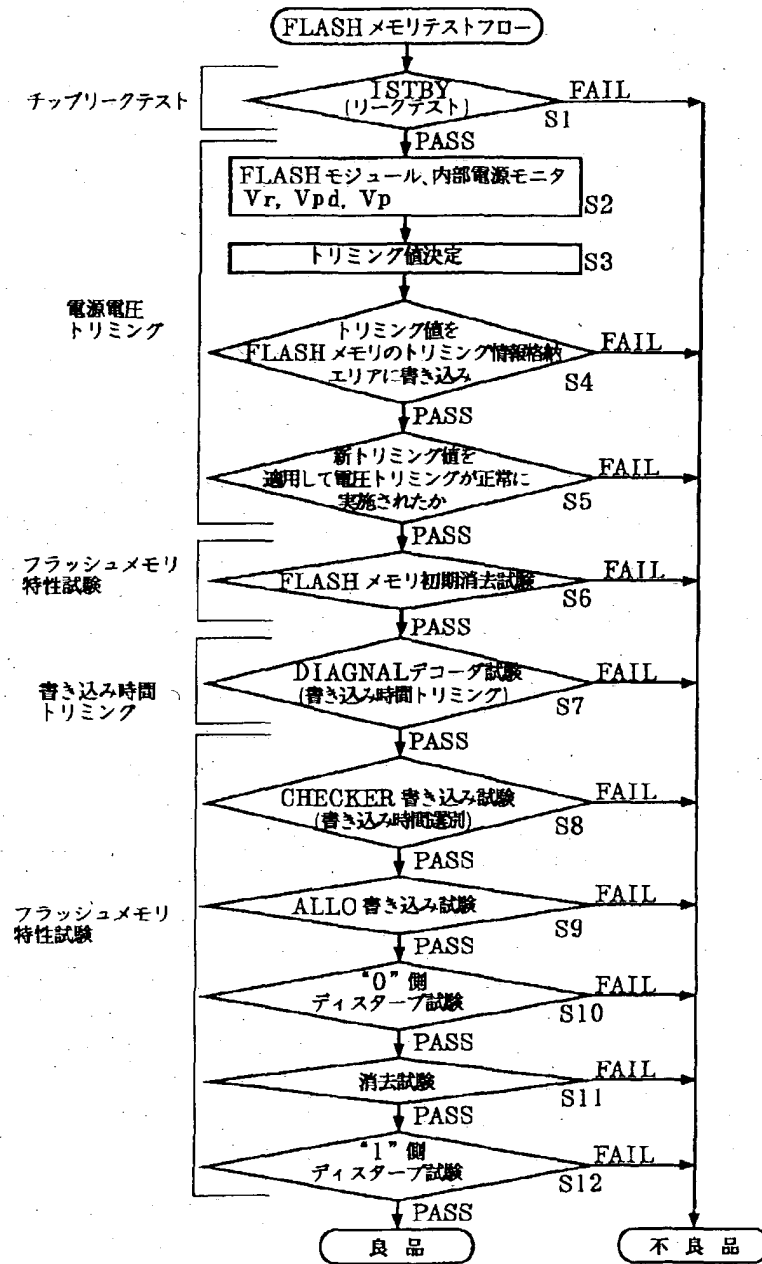
電圧トリミング後の書き込み時間分布

ALLO書き込み時間(sec)

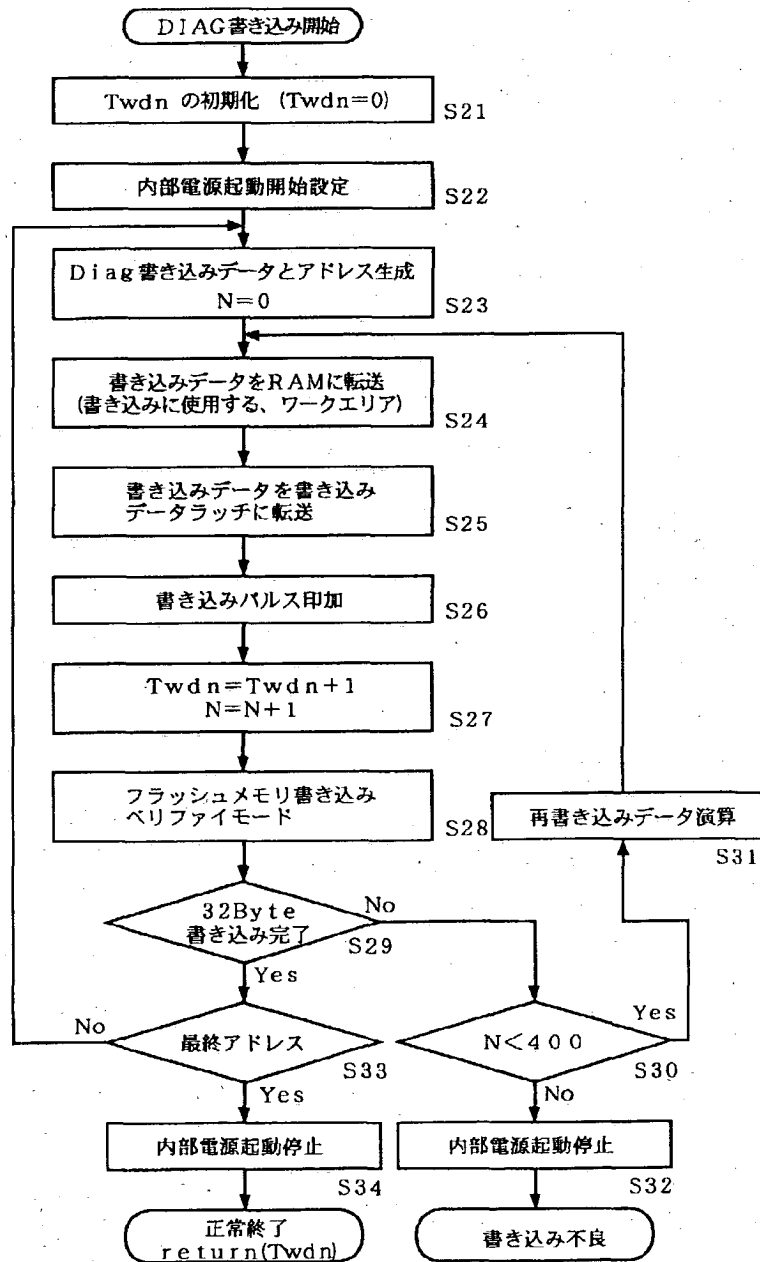
書き込み時間の管理域

ALLO書き込みでのパルス印可回数

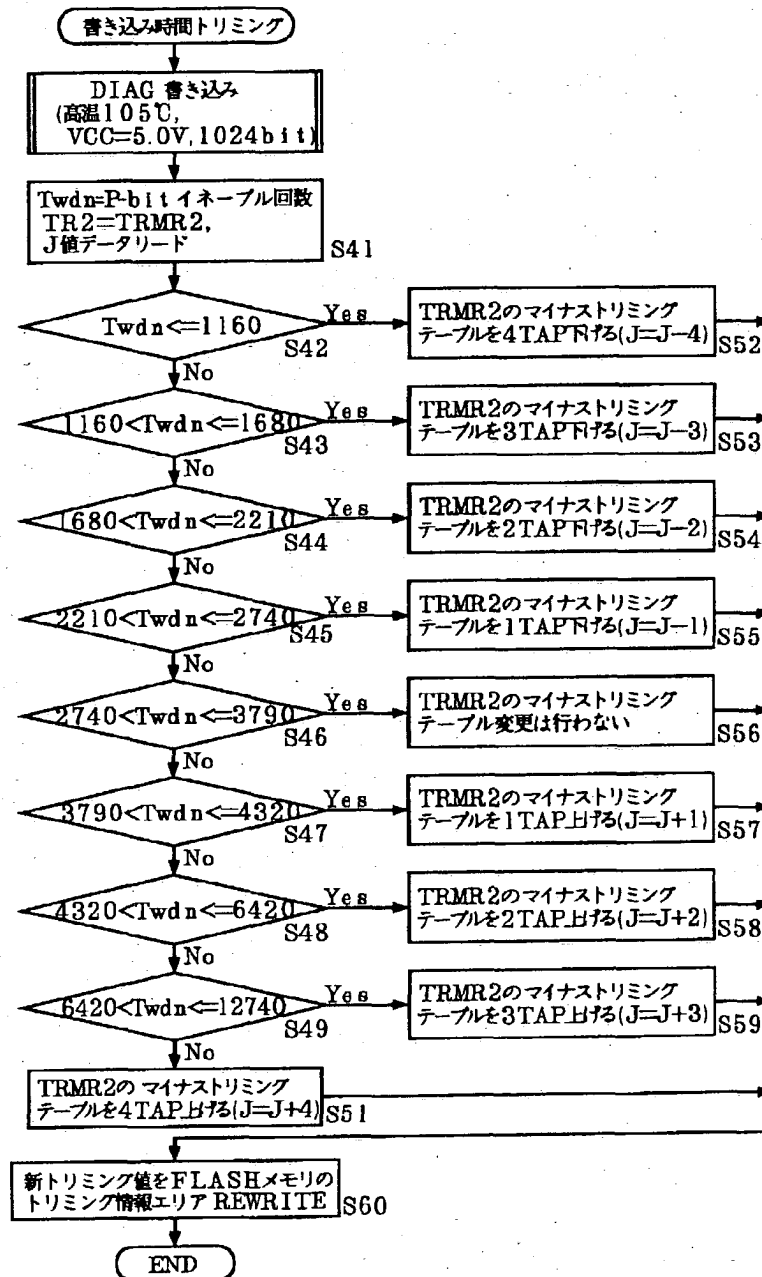
【図6】



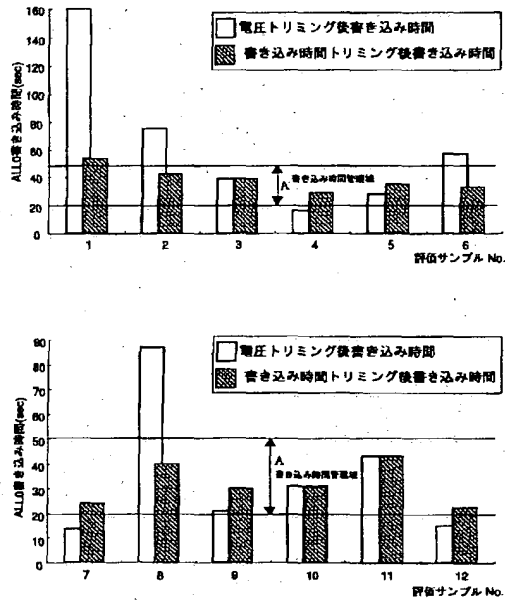
【図7】



【図8】



【図13】



【図14】

